

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

2000-0175

#2

JCSAS U.S. PRO  
09/886027



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

2000年 6月30日

出願番号  
Application Number:

特願2000-197922

出願人  
Applicant(s):

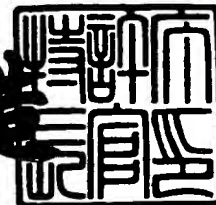
株式会社日立製作所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 3月30日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3024751

【書類名】 特許願

【整理番号】 H00007731

【あて先】 特許庁長官 殿

【国際特許分類】 G01S 7/28

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 上野 聡

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 林 輝義

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 原田 卓

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1  
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路および光伝送用送信回路

【特許請求の範囲】

【請求項 1】 印加される制御電圧に応じた周波数で発振動作する電圧制御発振器と、該電圧制御発振器の発振出力信号の位相と所定周波数の信号の位相を比較する位相比較器とを含み、該位相比較器の出力に基づいて位相差に応じた電圧を出力する回路の出力電圧が電圧制御発振器に印加されて、上記電圧制御発振器の発振周波数が制御されるようにされた PLL 回路を備えた半導体集積回路において、

周波数可変範囲の中心周波数がそれぞれ異なり且つ周波数可変範囲が互いに連続もしくは重なりを有するようにされた複数の電圧制御発振器と、これらの複数の電圧制御発振器の中から 1 個を選択する選択手段とを備えたことを特徴とする半導体集積回路。

【請求項 2】 印加される制御電圧に応じた周波数で発振動作する電圧制御発振器と、該電圧制御発振器の発振出力信号の位相と所定周波数の信号の位相とを比較する位相比較器とを含み、該位相比較器の出力に基づいて位相差に応じた電圧を出力する回路の出力電圧が電圧制御発振器に印加されて、上記電圧制御発振器の発振周波数が制御されるようにされた PLL 回路を備えた半導体集積回路において、

上記電圧制御発振器は、インダクタとキャパシタとを有する共振回路を含み周波数可変範囲の中心周波数がそれぞれ異なる複数の共振型発振器と、これらの複数の共振型発振器の中から 1 個を選択する選択手段とを備えたことを特徴とする半導体集積回路。

【請求項 3】 上記複数の共振型発振器は、周波数可変範囲が互いに連続もしくは重なりを有するようにされていることを特徴とする請求項 2 記載の半導体集積回路。

【請求項 4】 上記選択手段は、上記複数の共振型発振器の各々に対応する複数のヒューズを含んだヒューズ回路を備え、該ヒューズ回路の何れかのヒューズが断線破壊又は導通破壊され、これにより上記複数の共振型発振器のうち 1 個

の共振型発振器にのみ電源が供給されるように構成されていることを特徴とする請求項 2 に記載の半導体集積回路。

【請求項 5】 上記選択手段は、制御信号に応じて何れか 1 個の共振型発振器の出力を上記位相比較回路に供給させ、他の共振型発振器の出力を遮断するセレクタ回路を備えていることを特徴とする請求項 2 に記載の半導体集積回路。

【請求項 6】 上記複数の共振型発振器には電源供給用トランジスタがそれぞれ設けられ、上記ヒューズ回路は、破壊されたヒューズに対応する共振型発振器の電源供給用トランジスタを通電状態に、破壊されていないヒューズに対応する共振型発振器の電源供給用トランジスタを非通電状態にするように構成されていることを特徴とする請求項 4 に記載の半導体集積回路。

【請求項 7】 上記複数の共振型発振器の出力側にはそれぞれバッファ回路が設けられ、

上記ヒューズ回路は、複数の上記バッファ回路のうち上記電源が供給された共振型発振器に対応した 1 個のみを動作可能にすることを特徴とする請求項 4 に記載の半導体集積回路。

【請求項 8】 上記インダクタは半導体基板上に螺旋状に形成された配線からなるスパイラル型インダクタであり、上記キャパシタは逆方向接続された P N 接合からなる可変容量ダイオードであることを特徴とする請求項 2 ～ 7 の何れかに記載の半導体集積回路。

【請求項 9】 チップ外から入力される複数の低速データ信号を多重化して高速データ信号として出力するマルチプレクサと、チップ外から入力されるクロックに基づき上記マルチプレクサに動作クロックを供給する P L L 回路とが、 1 個の半導体基板上に設けられた光伝送用送信回路において、

上記 P L L 回路は、インダクタおよびキャパシタを有する共振回路を含み、印加される制御電圧に応じた周波数で発振動作し且つ周波数可変範囲の中心周波数がそれぞれ異なるとともに該周波数可変範囲が互いに連続もしくは重なりを有するようにされた複数の電圧制御発振器と、これらの複数の電圧制御発振器の中から何れか 1 個を選択する選択手段と、選択された電圧制御発振器の発振出力信号の位相と上記クロックの位相とを比較する位相比較器とを備え、該位相比較器の

出力に基づいて位相差に応じた電圧を出力する回路の出力電圧が制御電圧として上記選択された電圧制御発振器に印加されるようにされていることを特徴とする光伝送用送信回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、PLL回路（位相同期ループ）を搭載した半導体集積回路に適用して有用な技術に関し、例えば光伝送に用いられる高速のデータ信号を送信する光伝送用送信回路における送信同期用クロック生成回路に利用して特に有用な技術に関する。

【0002】

【従来の技術】

半導体集積回路においては、動作クロック信号やタイミング信号を得るためPLL回路が内蔵されることがある。

【0003】

従来、半導体チップに搭載されるPLL回路においては、その電圧制御発振器として、マルチバイブレータもしくはリングオシレータが一般に採用されている。また、近年では半導体チップ上にインダクタを形成する技術を用いてLC共振タイプの電圧制御発振器も高周波回路の分野を中心に採用されることもある。

【0004】

ところで、光伝送用の送信回路では、10GHzのような極めて高い周波数の信号を扱うため、動作クロックの僅かなジッタが信号波形の劣化に影響を与えてしまう。それゆえ、低ジッタの動作クロックが要求される。特に、上記送信回路を光伝送の中継系に用いる場合、信号波形の劣化は中継毎に積算されてしまうので、動作クロックのジッタ低減の要請は強い。

【0005】

PLL回路は位相雑音特性が悪いと発生するクロックのジッタが大きくなる。そこで、低ジッタのクロックを生成するには、位相雑音特性に優れた電圧制御発振器を用いる必要がある。また、PLL回路は周波数可変範囲が大きいことが望

まれる。しかしながら、マルチバイブレータ方式やリングオシレータ方式の電圧制御発振器では発振周波数の可変範囲は広いものの、位相雑音特性は良くないというデメリットがある。一方、LC共振タイプの電圧制御発振器は、コンデンサとして容量可変ダイオードを用いるので、発振周波数の可変範囲は狭いが、位相雑音特性に優れるという性質を有する。

#### 【0006】

また、位相雑音特性に優れたものとして水晶発振器を用いた電圧制御発振器もあるが、これを用いる場合には電圧制御発振器をディスクリート部品としてチップ外に構成することとなるので、光伝送装置のモジュールサイズが増大し、該モジュールのコストを高騰させてしまう。

#### 【0007】

##### 【発明が解決しようとする課題】

ところで、電圧制御発振器を半導体チップに集積化する場合、マルチバイブレータ方式、リングオシレータ方式およびLC発振方式を問わず、プロセスばらつきにより発振周波数の可変範囲が設計時のものからずれてしまうと云うことがある。周波数可変範囲がずれてしまうと、可変範囲の上限に近いところまたは下限に近いところで所望の発振周波数が得られないという問題が生じる。

#### 【0008】

特に、周波数可変範囲の狭いLC共振型の電圧制御発振器を用いる場合には、そのコンデンサとしてPN接合容量を利用しているため、PN接合特性のばらつきにより一定の容量を得ることが難しく、しかも、その容量の可変範囲はそれほど広くないので、プロセスばらつきで可変容量範囲がずれてしまうと、電圧制御発振器として必要な発振周波数が得られず、PLL回路の歩留まりを低下させるという問題を発生させる。

#### 【0009】

また、電圧制御発振器のその他のアプローチとして、所望の周波数を挟んで中心周波数が大小に大きく異なる2個の電圧制御発振器を形成し、これらを合成して広範囲な周波数可変範囲を有する電圧制御発振器を構成する技術も提案されている。しかしながら、このような電圧制御発振器にあっては、電圧制御発振器を

単体で構成した場合に比べると位相雑音特性が低下するという欠点がある。

【 0 0 1 0 】

また、2個の電圧制御発振器を合成したものでは、個々の電圧制御発振器の周波数可変範囲が同方向にずれてしまえば、合成後に得られる周波数可変範囲も同様の方向にずれてしまう。半導体集積回路では、通常、同一素子を1チップ上の近接箇所に形成した場合に、これらの素子特性は同方向にずれるので、2個の電圧制御発振器を合成する方法でも、プロセスばらつきにより発振周波数の可変範囲がずれるという問題は解決できない。

【 0 0 1 1 】

この発明の目的は、プロセスばらつきにより電圧制御発振器の可変制御範囲がずれた場合でも、所望の周波数の発振信号を高精度に得られるPLL回路を内蔵した半導体集積回路を提供することにある。

【 0 0 1 2 】

また、この発明の目的は、位相雑音特性の優れたLC共振タイプの電圧制御発振器を使用し、且つ、所望の周波数範囲で制御が可能なPLL回路を内蔵した半導体集積回路を提供することにある。

【 0 0 1 3 】

この発明の他の目的は、ジッタの少ない動作クロックにより光伝送信号の波形劣化を低減しつつ、高歩留まりで製造できる光伝送用送信回路を提供することにある。

【 0 0 1 4 】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 5 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【 0 0 1 6 】

印加される制御電圧に応じた周波数で発振動作する電圧制御発振器と、該電圧



制御発振器の発振出力信号の位相と基準周波数の信号の位相とを比較する位相比較器とを含み、該位相比較器の出力に基づいて位相差に応じた電圧を出力する回路の出力電圧が電圧制御発振器に印加されて、上記電圧制御発振器の発振周波数が制御されるようにされたPLL回路（位相同期ループ）を備えた半導体集積回路において、上記電圧制御発振器は、インダクタとキャパシタとを有する共振回路を含み周波数可変範囲の中心周波数がそれぞれ異なる複数の共振型発振器と、これらの複数の共振型発振器の中から1個を選択する選択手段とを備えて構成する。

## 【0017】

このような手段によれば、プロセスばらつきで電圧制御発振器の周波数特性がずれた場合でも、中心周波数を異ならせた複数の電圧制御発振器の何れかから高い確率で所望の周波数特性を満たすものが見つかることとなる。それゆえ、位相雑音特性が優れ且つ周波数可変範囲の狭いLC共振型の電圧制御発振器を採用しても、選択手段により所望の周波数可変範囲を有した電圧制御発振器を使用することで、位相雑音特性に優れ且つ所望の周波数特性を有するPLL回路を高歩留まりで作成することが出来る。

## 【0018】

望ましくは、上記複数の共振型発振器は、周波数可変範囲が互いに連続もしくは重なりを有するようにすると良い。このように複数の共振型発振器を形成しておくことで、より所望の特性に近い発振器を上記複数の共振型発振器の中に作成しておくことが出来る。

## 【0019】

具体的には、上記インダクタは半導体基板上に螺旋状に形成された配線からなるスパイラル型インダクタであり、上記キャパシタ（コンデンサ）は逆方向接続されたPN接合からなる可変容量ダイオードである。

## 【0020】

なお、LC共振タイプの共振型発振器に限られず、マルチバイブレータ方式やリングオシレータ方式など、何れの方式の電圧制御発振器に対しても、本発明を適用することが出来る。すなわち、周波数可変範囲の中心周波数がそれぞれ異な

り且つ周波数可変範囲に互いに連続もしくは重なりを有するように設計された複数の電圧制御発振器（マルチバイブレータ方式やリングオシレータ方式のものを含む）と、これらの複数の電圧制御発振器の中から 1 個を選択する選択手段とを備えた構成とする。それにより、所望の制御範囲を有する PLL 回路を高歩留まりで得ることが出来る。

#### 【 0 0 2 1 】

望ましくは、上記選択手段として、上記複数の共振型発振器の各々に対応された複数のヒューズを有するヒューズ回路を備え、該ヒューズ回路のヒューズのうち何れかが断線破壊又は導通破壊され、これに対応して 1 個を除く他の共振型発振器の電源が遮断されるように構成すると良い。

#### 【 0 0 2 2 】

このような構成によれば、ヒューズ回路の設定により何れかの共振型発振器の使用が固定され他の共振型発振器は動作不可とされるので、半導体集積回路を使用するユーザー側では電圧制御発振器の選択を改めて行う必要がなく、選択ミスなどの間違いを回避できる。また、使用しない電圧制御発振器は電源が遮断され動作不可とされるので、共振して PLL 回路の特性を劣化させたり、ノイズを発生させるといった不具合を回避できる。

#### 【 0 0 2 3 】

具体的には、上記複数の共振型発振器には電源供給用トランジスタがそれぞれ設けられ、上記ヒューズ回路は、破壊されたヒューズに対応する共振型発振器の電源供給用トランジスタを通電状態に、また破壊されていないヒューズに対応する共振型発振器の電源供給用トランジスタを非通電状態にするようにして構成できる。

#### 【 0 0 2 4 】

また、上記複数の共振型発振器の出力側にはそれぞれ波形整形用のバッファ回路が設けられ、上記ヒューズ回路は、共振型発振器と対応させて複数の上記バッファ回路のうち 1 個を除く他の全てを動作不可とするように構成する。

#### 【 0 0 2 5 】

さらに望ましくは、上記選択手段として、制御信号に応じて何れか 1 個の共振

型発振器の出力をPLL回路に供給させ、他の共振型発振器の出力を遮断するセレクタ回路を備えるように構成すると良い。このような手段により、使用しない共振型発振器が共振して、PLL回路の特性を劣化させたり、ノイズを発生させるといった不具合を回避できる。

【0026】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

【0027】

図1は、本発明に係る光伝送用送受信回路を備えた光伝送モジュールの概略構成を示すブロック図である。

【0028】

同図において、100は複数チャネルの送信信号を時分割多重化して1本の光伝送路により高速送信したり、その逆に光伝送路より受信した信号を各チャネルの信号に分離する光伝送用トランシーバ、210は光信号を電気信号へ変換するホトダイオード、220は電気信号を光信号に変換するレーザダイオード、230は光電変換して得られた高速の電気信号の波形整形を行うプリアンプ、240はレーザダイオード220を駆動するドライバチップ240である。

【0029】

光伝送用トランシーバ100は、受信回路110と、送信回路120とが、単結晶シリコンのような1個の半導体チップ上に形成されてなる。受信回路110は、受信したデータ信号の波形を整形したり受信データ信号の変化をとらえてクロックを生成するCDR (Clock&Data Recovery) 回路111や、多重化されている16チャネルの受信データを各チャネル毎のデータ信号に分離するデマルチプレクサ112などから構成される。

【0030】

送信回路120は、データ信号の入力タイミングのばらつきを吸収するFIFO (ファーストイン・ファーストアウト) 方式のバッファメモリ121、入力された16チャネルのデータ信号を時分割により1つのデータ信号に多重化するマルチプレクサ122、外部から入力される基準信号又は基準クロックとしての参

照クロック  $\phi_r$  に同調させてマルチプレクサ 1 2 2 や後段の L D ドライバチップ 2 4 0 の動作クロックを供給する P L L 回路 1 0 等から構成される。

#### 【 0 0 3 1 】

この光伝送用トランシーバ 1 0 0 においては、光伝送用の高速データ信号として例えば 1 0 G H z の信号を扱う。そのため、P L L 回路 1 0 は 1 0 G H z の動作クロックを低ジッタで発生する必要がある。

#### 【 0 0 3 2 】

図 2 には、P L L 回路 1 0 の概略構成を示すブロック図を、図 3 には、P L L 回路 1 0 の電圧制御発振器周辺のブロック図を示す。

#### 【 0 0 3 3 】

本発明に係る P L L 回路 1 0 は、半導体チップ上に複数の電圧制御発振器 V C O 1 ~ V C O n を形成しておき、プロセスばらつきにより電圧制御発振器の特性がずれた場合でも、これら複数の電圧制御発振器 V C O 1 ~ V C O n の中で周波数特性の要求を一番満たしているものを動作させ、その他のものは非動作とすることで、高歩留まりに所望の特性が得られるものである。

#### 【 0 0 3 4 】

図 2 および図 3 に示すように、P L L 回路 1 0 は、複数の電圧制御発振器 V C O 1 …, V C O n が形成された V C O 形成部 1 1、複数の電圧制御発振器 V C O 1 …, V C O n の出力のうち何れか 1 個の電圧制御発振器の出力を選択して出力するセレクタ 1 2、各電圧制御発振器を動作可又は動作不可の状態に設定可能なヒューズスイッチ回路 1 3、および、ヒューズスイッチ回路 1 3 の状態に応じてセレクタ 1 2 に選択制御信号を出力するセレクタ制御部 1 4 が設けられた V C O 選択部 1 5 と、電圧制御発振器から出力される発振信号  $\phi_0$  を分周（例えば 1 6 分周）する分周器 D V D、分周された信号  $\phi_b$  とチップ外から入力された参照クロック  $\phi_r$ （例えば 6 2 2 M H z）との位相比較を行う位相検出器 P H C、並びに、位相検出器 P H C から出力される信号 V e に基づいて位相差に応じた電圧を発生するループフィルタ L P F 等から構成される。そして、ループフィルタ L P F から出力される制御電圧 V c が電圧制御発振器 V C O 1 ~ V C O n の周波数制御端子に印加されて、チップ外から入力される参照クロック  $\phi_r$  に同調し、より

高い周波数（例えば 16 倍）で発振する。そして、分周前の 10 GHz のクロックが図 1 のマルチプレクサ 122 に動作クロックとして供給される。図 2 では省略しているが、各電圧制御発振器  $VCO_1 \dots, VCO_n$  の後段には、各電圧制御発振器の出力を受けて波形整形するバッファ回路  $BUF_1 \sim BUF_n$ （図 3 参照）が設けられている。

#### 【0035】

この実施例のセクタ 12 は、図 3 に示すように、2 系統の信号の何れかを択一的に通過させる単位セクタ回路  $SEL_1, SEL_2 \dots$  を多段に構成したものである。すなわち、 $n$  個の電圧制御発振器の中から 1 個を選択するのであれば、初段に  $n/2$  個の単位セクタ回路  $SEL_1 \sim SEL_i$  ( $i = n/2$ ) を設け、その次の段に  $n/4$  個の単位セクタ回路、そして最後の  $n/2$  段目に 1 個の単位セクタ回路  $SEL_x$  を設ける。例えば、8 個の電圧制御発振器がある場合には、初段に 4 個、次段に 2 個、その次の段に 1 個の合計 7 個の単位セクタ回路が設けられる。これら複数の単位セクタ回路  $SEL_1, SEL_2 \dots$  には、回路の動作中、常にセクタ制御部 14 から制御電圧が印加されており、それにより単位セクタ回路  $SEL_1, SEL_2 \dots$  は、回路の動作中、常に同じ信号パスを選択した状態にある。同一段に備わる複数の単位セクタ回路には共通の制御電圧が印加され、各段毎に単位セクタ回路を通過する信号パスが半分に選択されて最後の段で 1 つの信号パスが有効とされる。これら単位セクタ回路  $SEL_1, SEL_2 \dots$  の回路構成については後述する。

#### 【0036】

ヒューズスイッチ回路 13 は、詳細な回路構成については後述するが、複数の電圧制御発振器  $VCO_1 \sim VCO_n$  と、それに対応して設けられたバッファ回路  $BUF_1 \sim BUF_n$  のうち、回路内に設けられたヒューズの切断（或いは導通破壊）により、使用する 1 組の電圧制御発振器およびバッファ回路を動作可能な状態にさせ、他組の電圧制御発振器およびバッファ回路を動作不可の状態にするものである。具体的には、ヒューズの切断または非切断により、電圧制御発振器およびバッファ回路の電流を供給または遮断して、動作可能又は不可の状態にする。上記ヒューズの切断は例えばウェハ形成後のプローブ試験において行う。

## 【 0 0 3 7 】

セクタ制御部 1 4 は、ヒューズスイッチ回路 1 3 内に設けられたヒューズスイッチの状態に基づいて、動作可能な状態にされた電圧制御発振器の信号のみがセクタ 1 2 を通過するように、セクタ 1 2 に備わる各单位セクタ回路 S E L 1, S E L 2 … を切り換える制御電圧を生成するロジック回路である。上述したように、セクタ 1 2 において同一段の単位セクタ回路 S E L 1, S E L 2 … には同一の制御電圧が出力されるので、ロジック回路では単位セクタ回路 S E L 1, S E L 2 … の段数分の制御電圧が生成される。そして、これら制御電圧は相補的な差動電圧としてセクタ 1 2 の単位セクタ回路 S E L 1, S E L 2 … の各段にそれぞれ出力される。

## 【 0 0 3 8 】

ループフィルタ L P F は、例えば、位相検出器 P H C から出力される参照クロック  $\phi_r$  と帰還信号  $\phi_b$  の位相差に応じて変化する誤差信号 V e を直流電圧に変換する積分回路と、該電圧を増幅する増幅回路とから構成されるが、これらのうち積分回路を構成する抵抗やコンデンサは、チップに設けられた外部端子に外付け素子として接続される仕様になっており、これら外付け素子の抵抗値や容量値を調整することで、ループフィルタの特性を変化させる。

## 【 0 0 3 9 】

図 4 は電圧制御発振器とバッファ回路の回路構成の一例を示す図である。

## 【 0 0 4 0 】

電圧制御発振器は、配線を利用して螺旋状に配線を形成してなるスパイラルインダクタ L 1, L 2 と、 P N 接合に逆電圧を印加することで容量素子として作用させるとともに逆電圧の大きさに応じて容量値を変化させるバラクタダイオード（容量可変ダイオード） D 1, D 2 とを備えている。一方のインダクタ L 1 とダイオード D 1 の接合ノード n 1 には、フィードバックループを構成するための一方のトランジスタ T r 1 のコレクタが接続され、他方のインダクタ L 2 とダイオード D 2 の接合ノード n 2 には、フィードバックループを構成するための他方のトランジスタ T r 2 のコレクタが接続されている。そして、インダクタ L 1, L 2 の一端側には電源電圧 V C C が印加され、ダイオード D 1, D 2 の他端側には

ループフィルタ L P F からの制御電圧  $V_c$  が印加される。

【 0 0 4 1 】

上記電圧制御発振器においては、ダイオード  $D_1$ 、インダクタ  $L_1$  およびトランジスタ  $T r_1$ 、並びに、ダイオード  $D_2$ 、インダクタ  $L_2$  およびトランジスタ  $T r_2$  が、それぞれ組になって相互に作用しながら発振動作をする。すなわち、トランジスタ  $T r_1$  がオン状態のときにはインダクタ  $L_1$  に起電力が蓄えられるとともにダイオード  $D_1$  が放電される一方、トランジスタ  $T r_1$  がオフ状態のときにはインダクタ  $L_1$  の起電力によりダイオード  $D_1$  に充電がなされる。トランジスタ  $T r_1$  のベースは隣のダイオード  $D_2$  とインダクタ  $L_2$  の接続ノード  $n_2$  に接続されており、隣のダイオード  $D_2$  とインダクタ  $L_2$  も  $180$  度位相がずれて同様の動作をするため、これらの相互作用により 2 組の共振回路が逆位相で且つ同一周波数で発振する。しかして、出力ノード  $n_1$ 、 $n_2$  に同一周波数の差動信号が出力される。発振周波数は、インダクタ  $L_1$ 、 $L_2$  のインダクタンス  $L$  とダイオード  $D_1$ 、 $D_2$  の容量値  $C$  により決まり  $1 / \{ 2 \pi \sqrt{L \times C} \}$  となる。そして、制御電圧  $V_c$  を変化させることで、バラクタダイオード  $D_1$ 、 $D_2$  の容量値  $C$  が変化して、発振周波数も変化する。

【 0 0 4 2 】

バッファ回路は、電圧制御発振器からの差動出力信号をそれぞれベースに受ける 2 つのコレクタ接地型トランジスタ  $T r_3$ 、 $T r_4$  を有し、該トランジスタ  $T r_3$ 、 $T r_4$  で受けた信号をインピーダンス変換して出力する 2 組のエミッタホロワから構成される。

【 0 0 4 3 】

図 4 の電圧制御発振器  $V C O_1$  とバッファ回路  $B U F_1$  においては、グランド（第 2 電源電圧）側に定電流源となるトランジスタ  $P_1$ 、 $P_2$ 、 $P_3$  や抵抗  $R_1$ 、 $R_2$ 、 $R_3$  が設けられている。これらトランジスタ  $P_1$ 、 $P_2$ 、 $P_3$  はベースがそれぞれ共通にされており、制御端子  $T_c$  に印加される制御電圧により電流供給が制御されるようになっている。この制御端子  $T_c$  には、ヒューズスイッチ回路 1 3 からの制御電圧が印加される。

【 0 0 4 4 】

図 5 にはバラクタダイオード D 1 の断面構造の一例の図を示す。

【 0 0 4 5 】

同図において、3 0 0 は P 形の半導体基板、3 0 1 は n 型不純物を高濃度に拡散して形成した N 形ウェル領域、3 0 4 はフィールド酸化膜、3 0 2 は例えばエピタキシャル成長により形成される N 形領域、3 0 3 は 3 0 2 の表面に拡散により形成される P 形領域、3 0 9 は金属膜、3 0 6 は層間絶縁膜、3 0 7 と 3 1 0 は層間絶縁膜 3 0 6 に形成されたコンタクトホール、3 0 8 はアルミなどからなるアノード電極、3 1 1 はカソード電極であり、これらの構成はバイポーラプロセスによりバイポーラトランジスタ T r のベース、コレクタおよびベース電極、コレクタ電極と同一工程で形成することができる。

【 0 0 4 6 】

バラクタダイオード D 1 がこのような構造を有する場合、その容量値は、PN 接合を構成する N 形領域 3 0 2 と P 形領域 3 0 3 の面積、並びに、これら界面特性や不純物濃度などの PN 接合特性により変化する。面積は通常のプロセスにより比較的ばらつきなく形成することが出来るが、界面特性や不純物濃度などの PN 接合特性はプロセスによってばらつくことがある。そのため、上記のようなバラクタダイオード D 1 では通常のプロセスばらつきにより容量値が 1 0 ～ 2 0 パーセント近くもばらつくことがある。

【 0 0 4 7 】

本発明に係る PLL 回路 1 0 においては、VCO 形成部 1 1 に設けられる複数の電圧制御発振器を、各電圧制御発振器毎にバラクタダイオード D 1, D 2 の PN 接合の面積を少しずつ異ならせて設計することで、その容量値が各電圧制御発振器毎に少しずつ異なるように形成する。プロセスばらつきによる PN 接合特性のずれは、1 ウェハ上の近接する範囲では同方向にずれるので、上記のように PN 接合の面積を異ならせて設計しておくことで、プロセスばらつきが生じて、各バラクタダイオードの容量値の相対比はあまり変化することがない。

【 0 0 4 8 】

ここで、設計時における複数の電圧制御発振器の特性とプロセスばらつきによるその特性変化について説明する。



## 【 0 0 4 9 】

図 6 は、容量ばらつきによる各電圧制御発振器の発振周波数の変化を示す説明図であり、(A-1) ~ (C-1) はバラクタダイオード C 1, C 2 のアノードに印加される制御電圧  $V_c$  とバラクタダイオード C 1, C 2 の容量値の関係を示すグラフ、(A-2) ~ (C-2) は制御電圧  $V_c$  すなわちバラクタダイオード印加バイアスと電圧制御発振器の発振周波数の関係を示すグラフである。ここでは、電圧制御発振器 VCO 1 ~ VCO n として 3 個の電圧制御発振器 (A, B, C) を用いた例を示している。

## 【 0 0 5 0 】

本実施例の PLL 回路 1 0 においては、図 6 (A-1) に示すように、複数の電圧制御発振器 (A, B, C) 毎にそのバラクタダイオード D 1, D 2 の容量値が少しずつずれるように設計される。そして、設計通りにダイオード D 1, D 2 の容量値が形成された場合、各電圧制御発振器 (A, B, C) の発振周波数の可変特性は、同図 (A-2) に示すようになる。グラフ中、バイアス可変範囲とは、ループフィルタ LPF から出力される制御電圧  $V_c$  の可変範囲であり、この可変範囲に対応する各電圧制御発振器の発振周波数の変動範囲が、各電圧制御発振器の周波数可変範囲となる。グラフ中、各電圧制御発振器 (A, B, C) の周波数可変範囲をそれぞれ A' B' C' で示す。

## 【 0 0 5 1 】

設計時におけるバラクタダイオード D 1, D 2 の容量値のずれ量は、プロセスによるばらつき量や、求められる周波数可変範囲の精度、並びに、作成する電圧制御発振器の個数などを考慮して、適宜決定されるが、電圧制御発振器の周波数可変範囲 A' B' C' のうち、互いに近いもの同士 (例えば A' と B'、又は B' と C') の上限部分と下限部分が連続もしくは重なるように設計する。

## 【 0 0 5 2 】

プロセスばらつきがなくて設計通りの容量が得られた場合には、各電圧制御発振器のバラクタダイオードの容量値と、各電圧制御発振器の発振周波数の可動範囲は、図 6 (A-1), (A-2) のようになる。この場合、所望の周波数可変範囲が得られる電圧制御発振器は、中央の特性曲線 B を有する電圧制御発振器と

なり、この電圧制御発振器を使用するようにヒューズスイッチを設定することでPLL回路10を所望の特性で動作させることが出来る。

## 【0053】

一方、プロセスばらつきでバラクタダイオードの容量が増加した場合には、各電圧制御発振器のバラクタダイオードの容量値と、各電圧制御発振器の発振周波数可変範囲は、図6(B-1)，(B-2)のようになる。プロセスばらつきがない場合に適性値となるように設計した特性曲線Bの電圧制御発振器の容量は適性値をオーバーし、その替わりに適性値よりずらして設計した特性曲線Cの電圧制御発振器の容量値が適性値となっている。その結果、特性曲線Bの電圧制御発振器の周波数可変範囲B'は適正值を下回り、特性曲線Cの電圧制御発振器の周波数可変範囲C'が適性値となっている。しかして、この適性値の電圧制御発振器を使用するようにヒューズスイッチを設定することでPLL回路10から所望の特性の出力が得られる。

## 【0054】

逆に、プロセスばらつきでバラクタダイオードの容量が減少した場合には、各電圧制御発振器のバラクタダイオードの容量値と、各電圧制御発振器の発振周波数可変範囲は、図6(C-1)，(C-2)に示すようになる。この場合には、所望の周波数可変範囲が得られるのは特性曲線Aを有する電圧制御発振器となり、この電圧制御発振器を使用するようにヒューズスイッチを設定することで所望の特性を得ることが出来る。

## 【0055】

図8には、図3に示したセクタ12を構成する単位セクタ回路SEL1，SEL2…の具体的な回路例を示す。

## 【0056】

この実施例の単位セクタ回路SEL1，SEL2…は、バイポーラシリーズゲートにより構成され、選択制御信号SEL，/SELに応じて前段から入力される2系統の差動信号CI1，/CI1，CI2，/CI2のうち1系統の差動信号を選択して差動出力信号OUT，/OUTとして後段に出力するものである。トランジスタTr6とTr7はエミッタ共通結合されてトランジスタTr10

のコレクタに接続され、トランジスタ  $T_{r8}$  と  $T_{r9}$  とはエミッタ共通結合されてトランジスタ  $T_{r11}$  のコレクタに接続され、トランジスタ  $T_{r10}$  と  $T_{r11}$  はエミッタ共通結合されて定電流用トランジスタ  $T_{r13}$  のコレクタに接続されている。

## 【0057】

図8において、トランジスタ  $T_{r13}$  のベースに印加されている電圧  $V_{c1}$  はセクタ回路  $SEL1$  をアクティブ／非アクティブにするオン、オフ制御電圧である。光伝送用トランシーバ100の動作中は、常にハイレベルの制御電圧  $V_{c1}$  が印加されてセクタ回路  $SEL1$  はアクティブにされる。

## 【0058】

セクタ制御部14（図3）より供給される選択信号  $SEL$ 、 $\neg SEL$  はトランジスタ  $T_{r10}$ 、 $T_{r11}$  のベースに接続され、何れか一方がオンされることによって選択パスが決定される。すなわち、選択信号  $SEL$  がハイレベルで、もう一方の選択信号  $\neg SEL$  がローレベルの場合には、トランジスタ  $T_{r10}$  がオン状態にトランジスタ  $T_{r11}$  がオフ状態となって、第1系統の差動信号  $CI1$ 、 $\neg CI1$  が入力されるトランジスタ  $T_{r6}$ 、 $T_{r7}$  がアクティブにされ、該差動信号  $CI1$ 、 $\neg CI1$  に基づく出力差動信号  $OUT$ 、 $\neg OUT$  が出力される。その逆の場合には、第2系統の差動信号  $CI2$ 、 $\neg CI2$  に基づく出力差動信号  $OUT$ 、 $\neg OUT$  が出力される。差動信号  $CI1$ 、 $\neg CI1$  および  $CI2$ 、 $\neg CI2$  として電圧制御発振器の出力がバッファ回路を介して供給され、何れかの電圧制御発振器の出力が選択されて伝送される。

## 【0059】

図9には、図3のヒューズスイッチ回路13の一部の回路例と電圧制御発振器との関係を示す。

## 【0060】

ヒューズスイッチ回路13は、複数の電圧制御発振器  $VCO1 \sim VCO_n$  にそれぞれ1:1で対応して設けられたヒューズスイッチ13aおよび定電流回路13bからなる。即ち、ヒューズスイッチ回路13には、図9のヒューズスイッチ13aと定電流回路13bの組が電圧制御発振器  $VCO1 \sim VCO_n$  の数だけ設

けられている。

#### 【 0 0 6 1 】

ヒューズスイッチ 1 3 a は、プローブ検査に用いられるプローブが接触可能なスイッチ端子 T s w を備え、該スイッチ端子 T s w と正の電源電圧 V D D との間に十分に大きな抵抗 R 1 0 が接続され、また上記スイッチ端子 T s w と負の電源電圧 V S S との間にベース・コレクタ接合がツェナーヒューズ Z 1 となるようにトランジスタが接続されている。そして、スイッチ端子 T s w の電圧が 2 個の C M O S インバータ I N V 1 , I N V 2 に入力されて差動出力信号 O U T , / O U T が生成されて出力されるようになっている。これら差動出力信号 O U T , / O U T は次段の定電流回路 1 3 b に出力される。ヒューズスイッチ 1 3 a は、バイポーラプロセスにより形成される電圧制御発振器や後述の定電流回路 1 3 b と異なり、C M O S プロセスにより形成される。もちろん、ヒューズスイッチはバイポーラプロセスで形成してもよい。

#### 【 0 0 6 2 】

上記ヒューズスイッチ 1 3 a において、スイッチ端子 T s w がオープンの状態では、ツェナーヒューズ Z 1 に電流が流れないので、スイッチ端子 T s w の電圧は V D D となり、ヒューズスイッチ 1 3 a の正相側の出力信号 O U T はローレベルとなる。このとき対応する電圧制御発振器 V C O 1 には電源供給が行われない状態となる。一方、スイッチ端子 T s w にローレベルの電圧を外部から印加すると、ヒューズスイッチ 1 3 a の正相側の出力信号 O U T はハイレベルとなる。このとき対応する電圧制御発振器 V C O 1 に電源供給が行われる状態となる。

#### 【 0 0 6 3 】

また、スイッチ端子 T s w に一定以上の高電圧を印加するとツェナーヒューズ Z 1 の P N 接合を破壊することが出来る。そして、P N 破壊によりツェナーヒューズ Z 1 は導通し、抵抗 R 1 0 は十分に大きいのでスイッチ端子 T s w のノードの電圧はほぼ V S S となる。これにより、対応する電圧制御発振器 V C O 1 の電源供給が可能な状態となる。

#### 【 0 0 6 4 】

つまり、ヒューズスイッチ 1 3 a においては、スイッチ端子 T s w がオープン

な状態で、且つ、ヒューズが切断されていない状態では、対応する電圧制御発振器に電源供給が断たれて該電圧制御発振器は非アクティブな状態にされ、ヒューズを切断することで対応する電圧制御発振器に電源供給が行われるようになっている。また、ヒューズを切断しなくても、スイッチ端子T s wに外部からローレベルの電圧を印加することで、ヒューズを切断したのと同様に、対応する電圧制御発振器に電源供給を行い、該電圧制御発振器をアクティブな状態にしてテスト動作を行えるようになっている。

## 【 0 0 6 5 】

定電流回路1 3 bは、エミッタ接合されたトランジスタT r 2 1, T r 2 2を有する差動入力段と、カレントミラー接続されたMOSFET Q 2 0, Q 2 1およびトランジスタT r 2 3, P 1からなる2段のカレントミラー回路により電圧制御発振器V C O 1に定電流を供給する回路として構成されている。定電流回路1 3 bは、ヒューズスイッチ1 3 aからの差動出力を一对の入力トランジスタT r 2 1, T r 2 2のベースに受け、一方の入力トランジスタT r 2 2がオンされた場合に、定電流用トランジスタT r 2 0に流れる電流がMOSFET Q 2 0に流され、カレントミラーによってMOSFET Q 2 1からトランジスタT r 2 3へ電流が流れる。

## 【 0 0 6 6 】

そして、この電流と同じ大きさの電流がトランジスタT r 2 3とカレントミラー接続された電圧制御発振器V C O 1の電源供給用のトランジスタP 1、並びに、バッファ回路B U F 1のトランジスタP 2, P 3に流されて電圧制御発振器V C O 1とバッファ回路B U F 1が活性化されて動作するようになっている。

## 【 0 0 6 7 】

また、ヒューズを切断しないままにしておくと電圧制御発振器とバッファ回路に電流が流れず、回路が全く動作しない状態にされる。

## 【 0 0 6 8 】

上記ヒューズスイッチのヒューズには幾つかのバリエーションが考えられる。

## 【 0 0 6 9 】

図1 0にヒューズ回路の変形例を示す。

## 【 0 0 7 0 】

図 1 0 ( a ) は、上述したツェナーヒューズ  $Z_1$  を用いた例である。スイッチ端子  $T_{sw}$  に高電位を与えることで、ツェナーヒューズ  $Z_1$  を接合破壊できる。

## 【 0 0 7 1 】

同図 ( b ) は、ポリシリコン抵抗を所定の幅長に形成してなるポリシリコンヒューズ  $P_S$  を用いた例である。この場合には、ヒューズの切断により電流が遮断されるので、( a ) のツェナーヒューズ  $Z_1$  の場合と異なり、ポリシリコンヒューズ  $P_S$  がスイッチ端子  $T_{sw}$  と電源電圧  $V_{DD}$  との間に配設され、スイッチ端子  $T_{sw}$  と電源電圧  $V_{SS}$  との間に十分に大きな抵抗  $R_{11}$  が配設されている。

## 【 0 0 7 2 】

この例においても回路動作は、ツェナーヒューズ  $Z_1$  を用いた場合とほぼ同様である。すなわち、スイッチ端子  $T_{sw}$  がオープンの状態では、スイッチ端子  $T_{sw}$  の電圧はハイレベルとなり、ヒューズスイッチ 1 3 a の正相側の出力信号  $O_{UT}$  はローレベルとなる。このとき対応する電圧制御発振器  $VCO_1$  には電源供給が行われない状態となる。また、スイッチ端子  $T_{sw}$  にローレベルの電圧を外部から印加すると、ヒューズスイッチ 1 3 a の正相側の出力信号  $O_{UT}$  はハイレベルとなり、このとき対応する電圧制御発振器  $VCO_1$  に電源供給が行われる。

## 【 0 0 7 3 】

また、ポリシリコンヒューズ  $P_S$  を切断するには、スイッチ端子  $T_{sw}$  に一定以下の電圧を所定時間印加して、熱破壊によりポリシリコンヒューズ  $P_S$  を切断するのが望ましい。または、外部からレーザー照射により切断することもできる。ポリシリコンヒューズ  $P_S$  が切断されると、スイッチ端子  $T_{sw}$  のノードの電圧は電源電圧  $V_{SS}$  となり、対応する電圧制御発振器  $VCO_1$  に電源供給が行われる状態となる。

## 【 0 0 7 4 】

図 1 0 ( c ) は、クロムヒューズ  $C_r$  を用いた例である。この場合の回路動作は上記ポリシリコンヒューズ  $P_S$  を用いた場合と同様である。クロムヒューズ  $C_r$  の切断は、外部からレーザーを照射することで行える。

## 【 0 0 7 5 】

次に、上記実施例の光伝送用トランシーバ100のウェハ製造後の処理について説明する。

【0076】

本実施例の光伝送用トランシーバ100においては、ウェハ製造後に複数の電圧制御発振器VCO1～VCO<sub>n</sub>の中から最適な周波数可変範囲を有するものを特定し、この電圧制御発振器のみを動作可能とし、他の電圧制御発振器を動作不可とする選択処理を行わなければならない。これらの処理は、ウェハ製造後のプローブ検査（P検）にて行うことが可能である。

【0077】

図11には、プローブ試験において電圧制御発振器を選択する処理手順のフローチャートを示す。

【0078】

選択処理は、まず、プローブからの選択的な電圧印加により、複数の電圧制御発振器VCO1～VCO<sub>n</sub>のうち1個のみを動作可能とし他を動作不可能な状態にすることで開始される（ステップS1）。具体的には、複数のヒューズスイッチ13a…の全てのスイッチ端子Tsw…にそれぞれ独立したプローブを当て、試験する電圧制御発振器に対応するスイッチ端子Tswのみローレベルの電圧を印加し、他のスイッチ端子Tswはオープン状態とする。

【0079】

これによって、VCO形成部11の複数の電圧制御発振器VCO1～VCO<sub>n</sub>の1つに選択的に電源が供給され、選択されている電圧制御発振器（VCO回路）が発振動作する。ここで、この電圧制御発振器の発振周波数を測定する（ステップS2）。

【0080】

そして、全ての電圧制御発振器について上記ステップS2の発振周波数測定を行ったか判断して（ステップS3）、全ての電圧制御発振器について測定が終わるまでステップS1、S2の処理を繰り返し行う。

【0081】

全ての電圧制御発振器について発振周波数測定を行ったら、測定値を比べて最

適な発振周波数を有する電圧制御発振器を決定する（ステップ S 4）。

【 0 0 8 2 】

そして、最適とされた電圧制御発振器に対応するヒューズスイッチのスイッチ端子 T s w に所定の高電圧を印加し、該ヒューズスイッチ内のヒューズを切断もしくは導通破壊する（ステップ S 5）。それにより、最適な電圧制御発振器のみ動作可能となりその他の電圧制御発振器は動作不能な状態になる。

【 0 0 8 3 】

その後、ヒューズの切断により動作可能となった電圧制御発振器を発振させ、発振周波数を検査して所望の発振周波数が得られていることを確認する（ステップ S 6）。そして、正常な動作が確認できたら後工程へと送る。

【 0 0 8 4 】

以上のように、この実施例の P L L 回路 1 0 によれば、プロセスばらつきで電圧制御発振器の周波数可変範囲がずれた場合でも、中心周波数を異ならせた複数の電圧制御発振器の中から高い確率で所望の周波数可変範囲を有するものが見つかることとなる。それゆえ、位相雑音特性に優れるものの、周波数可変範囲の狭い L C 共振型の電圧制御発振器を採用しても、複数の電圧制御発振器の中から最適なものを特定し、ヒューズスイッチ回路 1 3 とセレクトア 1 2 により該電圧制御発振器のみ動作可能とすることで、位相雑音特性に優れ且つ所望の周波数特性を有する P L L 回路 1 0 を作成することが出来る。これによって、このような P L L 回路 1 0 を備えた光伝送用トランシーバ 1 0 0 にあっては、動作クロックのジッタが少なく送信波形の劣化が少ないという高性能を有することとなり、歩留まりが向上するという効果が得られる。

【 0 0 8 5 】

また、複数の電圧制御発振器を選択する構成として、ヒューズスイッチ 1 3 a により電圧制御発振器と次段のバッファ回路の電源供給を可能又は不能にする構成を有しているので、光伝送用トランシーバ 1 0 0 を使用するユーザー側では電圧制御発振器の選択を改めて行う必要がなく、選択ミスなどの間違いを回避できる。また、使用しない電圧制御発振器は動作不可とされるので、共振して P L L 回路の特性を劣化させたり、ノイズを発生させるといった不具合を回避できる。



## 【 0 0 8 6 】

更に、複数の電圧制御発振器の中から1つを選択する構成として、1つの電圧制御発振器へのみ電源を供給し他の電圧制御発振器の電源を遮断するとともに、動作させる電圧制御発振器の出力のみPLL回路10に供給させ、非動作とする電圧制御発振器の出力はPLL回路10から電氣的に切り離すセクタ12を設けているので、電源供給されてない電圧制御発振器が共振して、PLL回路の特性を劣化させたり、ノイズを発生させるといった不具合を回避できる。

## 【 0 0 8 7 】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

## 【 0 0 8 8 】

例えば、実施例では、光伝送用の受信回路110と送信回路120とが1チップに搭載された光伝送用トランシーバ1を例示して説明したが、送信回路120のみが1チップ上に設けられた光伝送用送信回路においても、本発明を効果的に適用できる。

## 【 0 0 8 9 】

また、複数の電圧制御発振器の何れかを選択する手段として、ヒューズスイッチ回路13とセクタ12の両方を用いなくても良く、例えば、セクタ12のみとしたり、ヒューズスイッチ回路13のみとすることも出来る。また、セクタ12の代わりにヒューズスイッチにより非動作の電圧制御発振器の出力を回路から切り離す構成としても良い。また、ヒューズスイッチ回路13を用いずに、電氣的な制御だけで使用しない電圧制御発振器の電源供給を断つ構成を設けても良い。その場合、電圧制御発振器の選択はチップ外からセレクト信号を入力することで行うことも出来る。

## 【 0 0 9 0 】

また、容量可変コンデンサは、上記のバイポーラプロセスで形成されるバラクタダイオードの他にも、種々の構成が適用可能である。図7は、MOS容量を利用したLC共振型の電圧制御発振器を示す回路図である。この例は、バラクタダ

イオードの替わりに、MOSFET Q1, Q2のゲート-基板間の容量を用いて、電圧制御発振器を構成したものであり、この場合には、MOSFET Q1, Q2のウェル領域にループフィルタLPFからの制御電圧Vcを印加して基板電位を変化させることで、その容量値を増減することができる。

#### 【0091】

また、LC共振型の電圧制御発振器は、図4に示したタイプに限られず、インダクタとコンデンサにより共振させる種々のタイプの電圧制御発振器を用いても良い。また、複数の電圧制御発振器の中心周波数をそれぞれ異ならせる方法として、バラクタダイオードのPN接合部の面積を異ならせ、その容量値を異ならせる方式を例示したが、その他、スパイラルインダクタの径を異ならせ、そのインダクタンスを異ならせる方式でも良い。

#### 【0092】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である光伝送用トランシーバ集積回路について説明したが、この発明はそれに限定されるものでなく、PLL回路を搭載する全ての半導体集積回路に広く利用することができる。

#### 【0093】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

#### 【0094】

すなわち、本発明に従うと、プロセスばらつきで電圧制御発振器の周波数特性がずれた場合でも、中心周波数を異ならせた複数の電圧制御発振器の何れかから所望の周波数特性を満たすものを見つけて選択することで、位相雑音特性に優れ、所望の特性を有するPLL回路を実現できるという効果がある。

##### 【図面の簡単な説明】

#### 【図1】

本発明に係る光伝送用送受信回路を備えた光伝送モジュールの概略構成を示すブロック図である。

【図 2】

図 1 の光伝送用送信回路に備わる P L L 回路の概略構成を示すブロック図である。

【図 3】

図 2 の P L L 回路の電圧制御発振器周辺の詳細を示すブロック図である。

【図 4】

図 3 の L C 共振型の電圧制御発振器とバッファ回路の構成例を示す回路図である。

【図 5】

バラクタダイオードの断面構造の一例を示す図である。

【図 6】

容量ばらつきによる各電圧制御発振器の発振周波数の変化を示す説明図である。

【図 7】

M O S 容量を利用した L C 共振型の電圧制御発振器の一例を示す回路図である。

【図 8】

図 3 のセクタ回路の回路図である。

【図 9】

図 3 のヒューズスイッチ回路の構成例を示す回路図である。

【図 1 0】

図 9 のヒューズスイッチの変形例を示す図である。

【図 1 1】

プローブ試験において電圧制御発振器を選択する処理手順を示すフローチャートである。

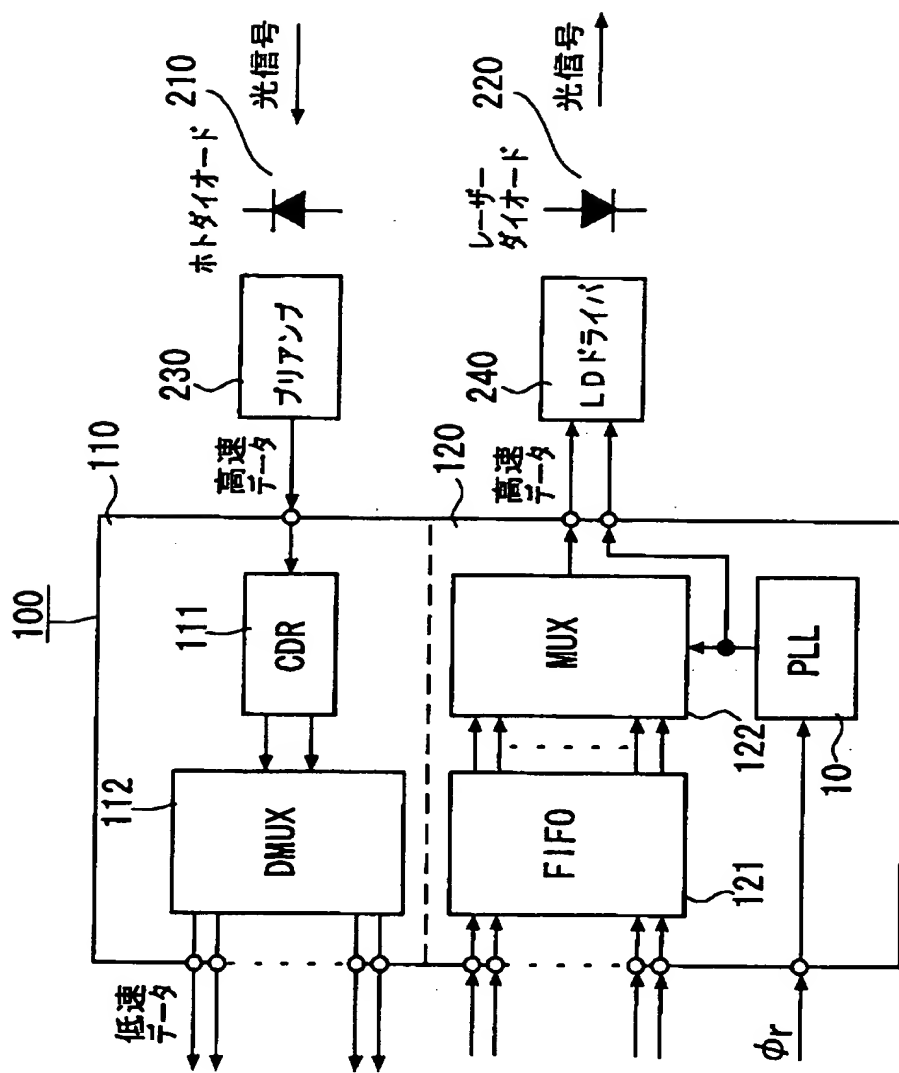
【符号の説明】

- 1 0     P L L 回路
- 1 1     V C O 形成部
- 1 2     セクタ

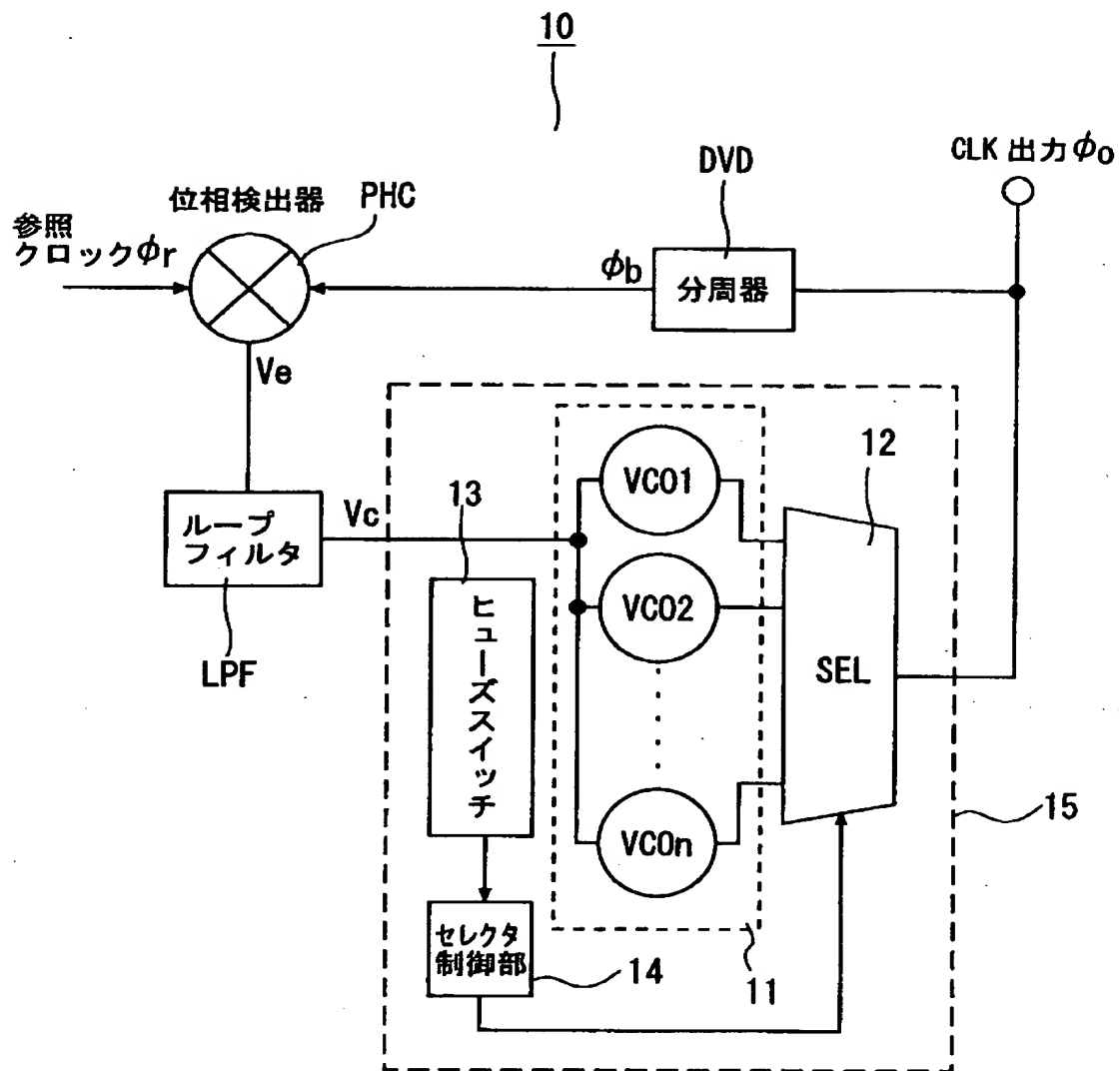
1 3      ヒューズスイッチ回路  
 1 3      ヒューズスイッチ  
 1 4      セレクタ制御部  
 1 5      VCO 選択部  
 1 0 0    光伝送用トランシーバ  
 1 1 0    受信回路  
 1 1 2    デマルチプレクサ  
 1 2 0    送信回路  
 1 2 1    F I F O バッファメモリ  
 1 2 2    マルチプレクサ  
 DVD    分周器  
 L P F    ループフィルタ  
 P H C    位相比較器  
 B U F 1 ~ B U F n    バッファ回路  
 V C O 1 ~ V C O n    電圧制御発振器  
 D 1 , D 2    バラクタダイオード  
 L 1 , L 2    スパイラルインダクタ  
 P 1 , P 2 , P 3    電源供給用トランジスタ  
 Z 1      ツェナーヒューズ  
 P S      ポリシリコンヒューズ  
 C r      クロムヒューズ  
 V c      制御電圧  
 $\phi r$       参照クロック  
 $\phi 0$       動作クロック

【書類名】 図面

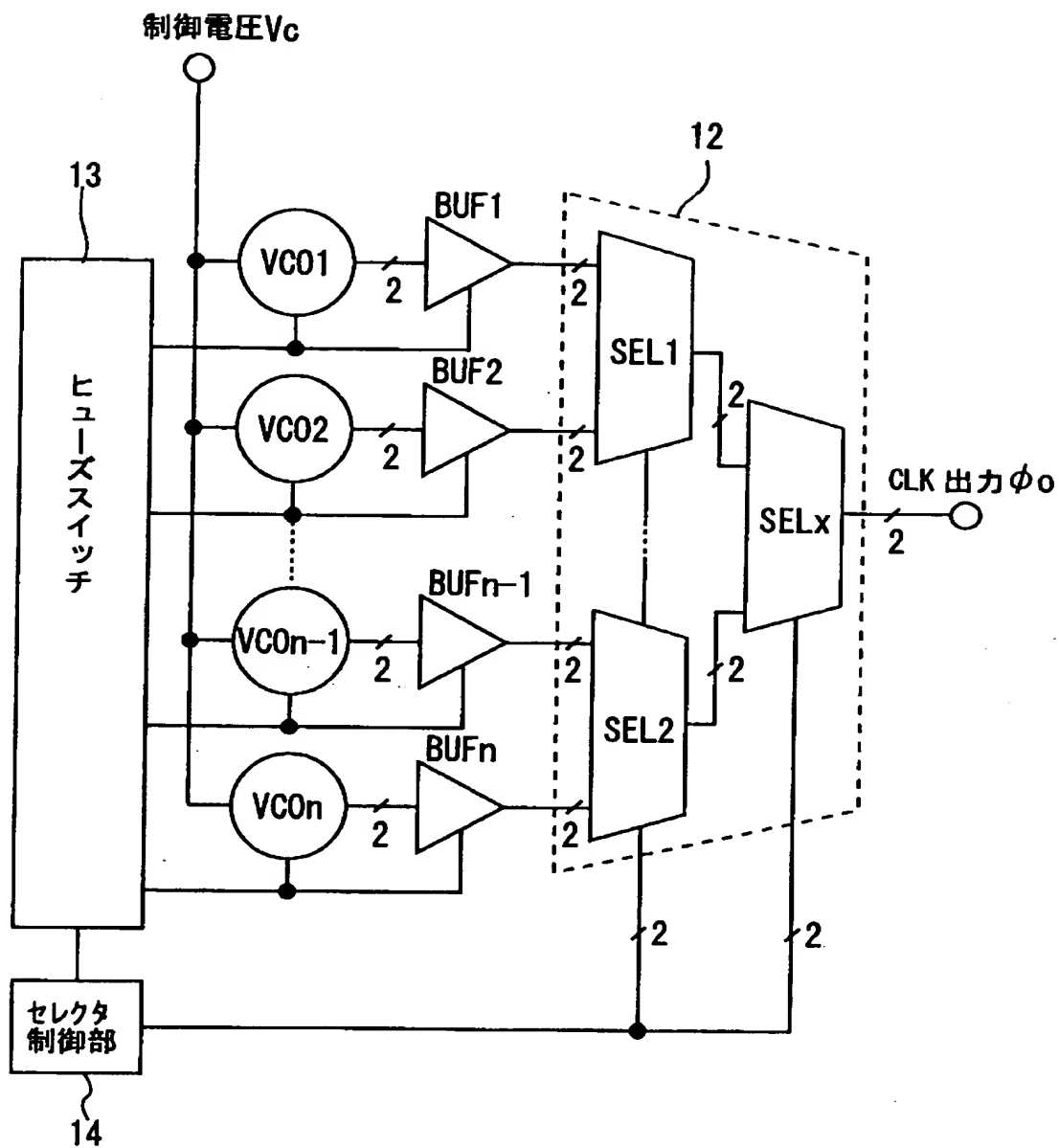
【図 1】



【図 2】



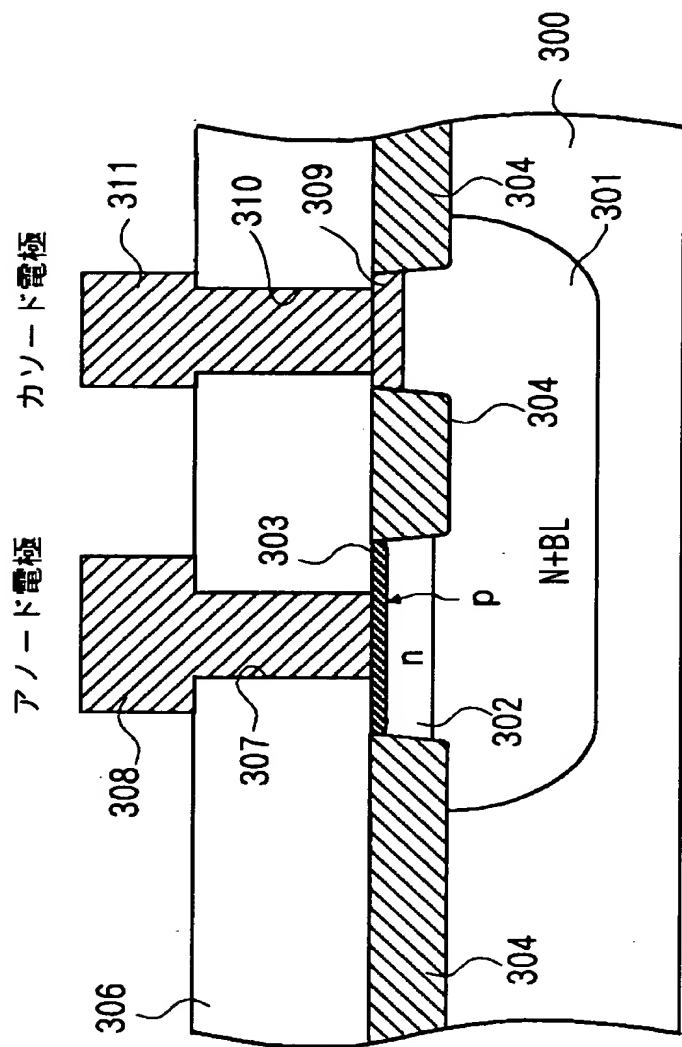
【図 3】



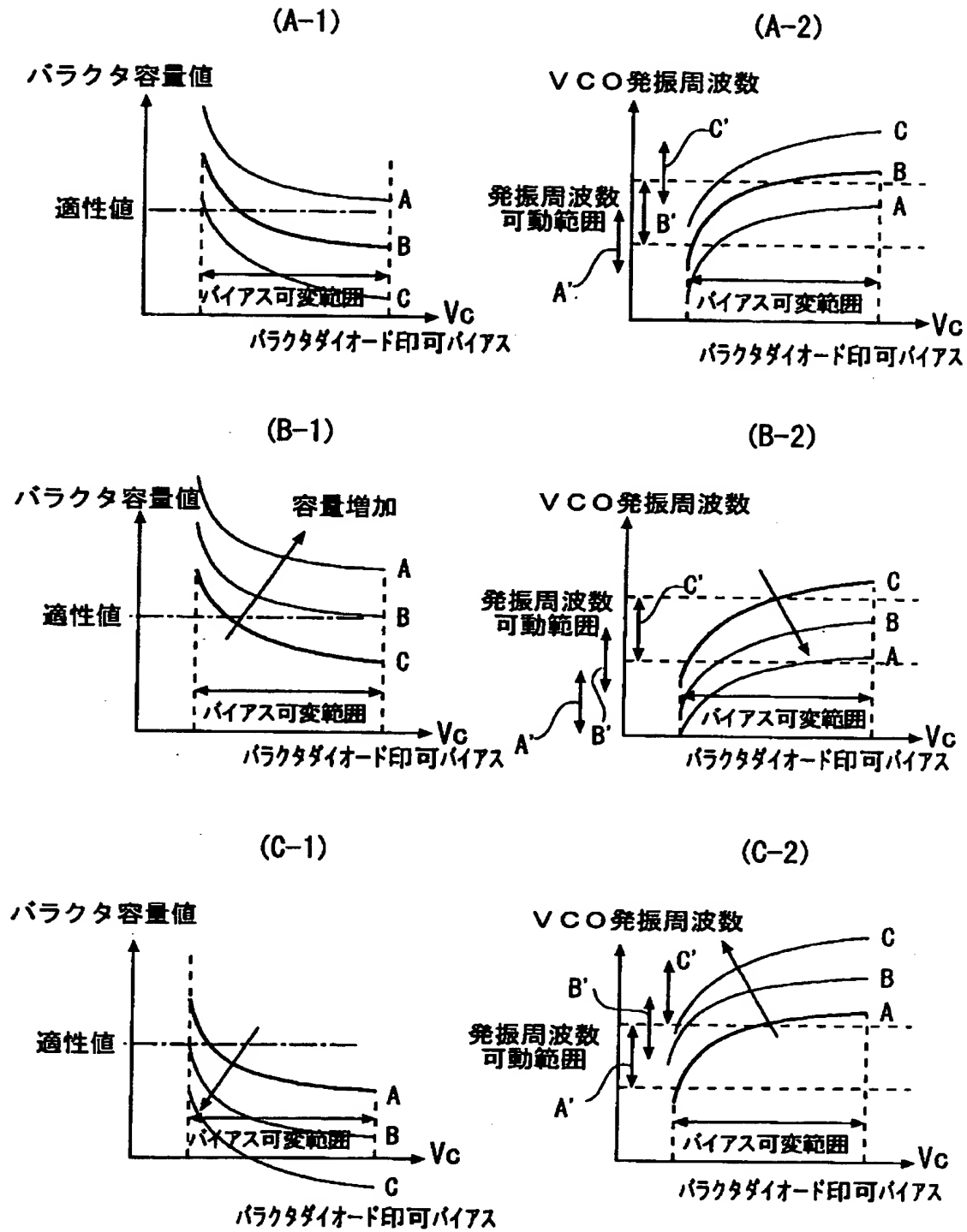




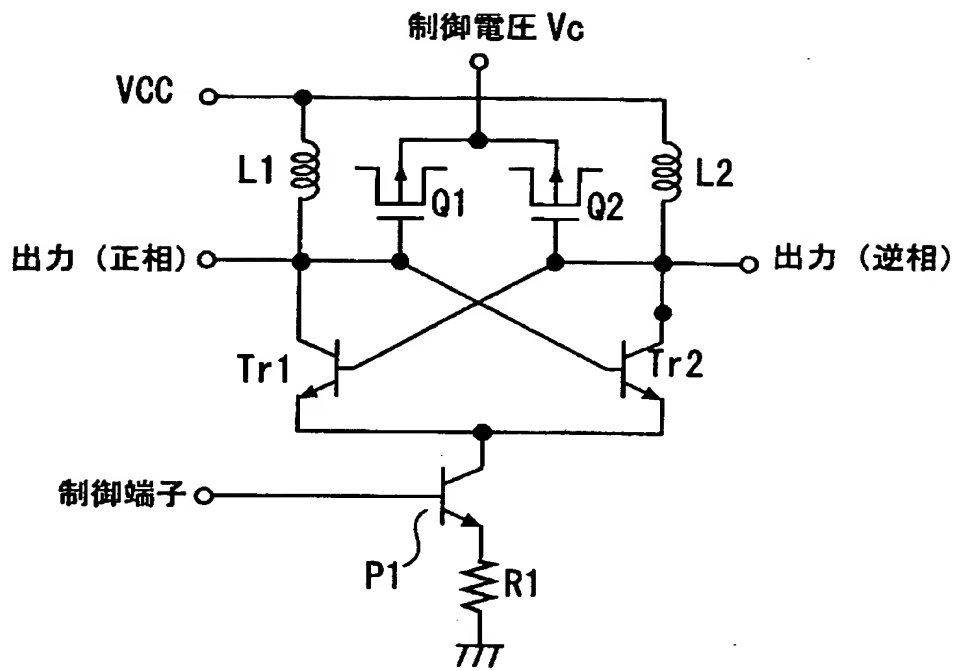
【図 5】



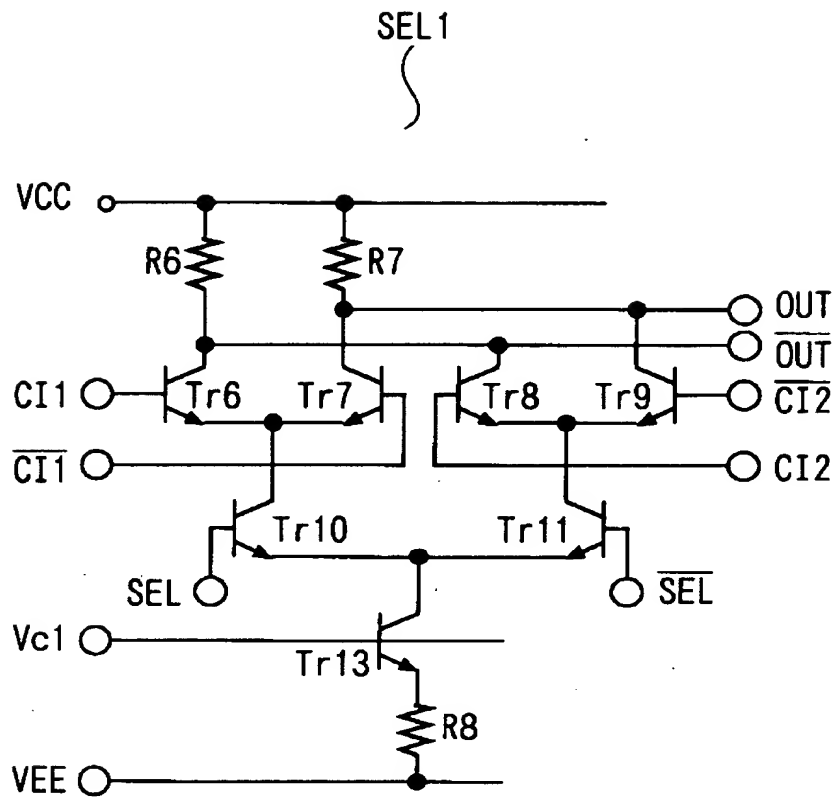
【図 6】



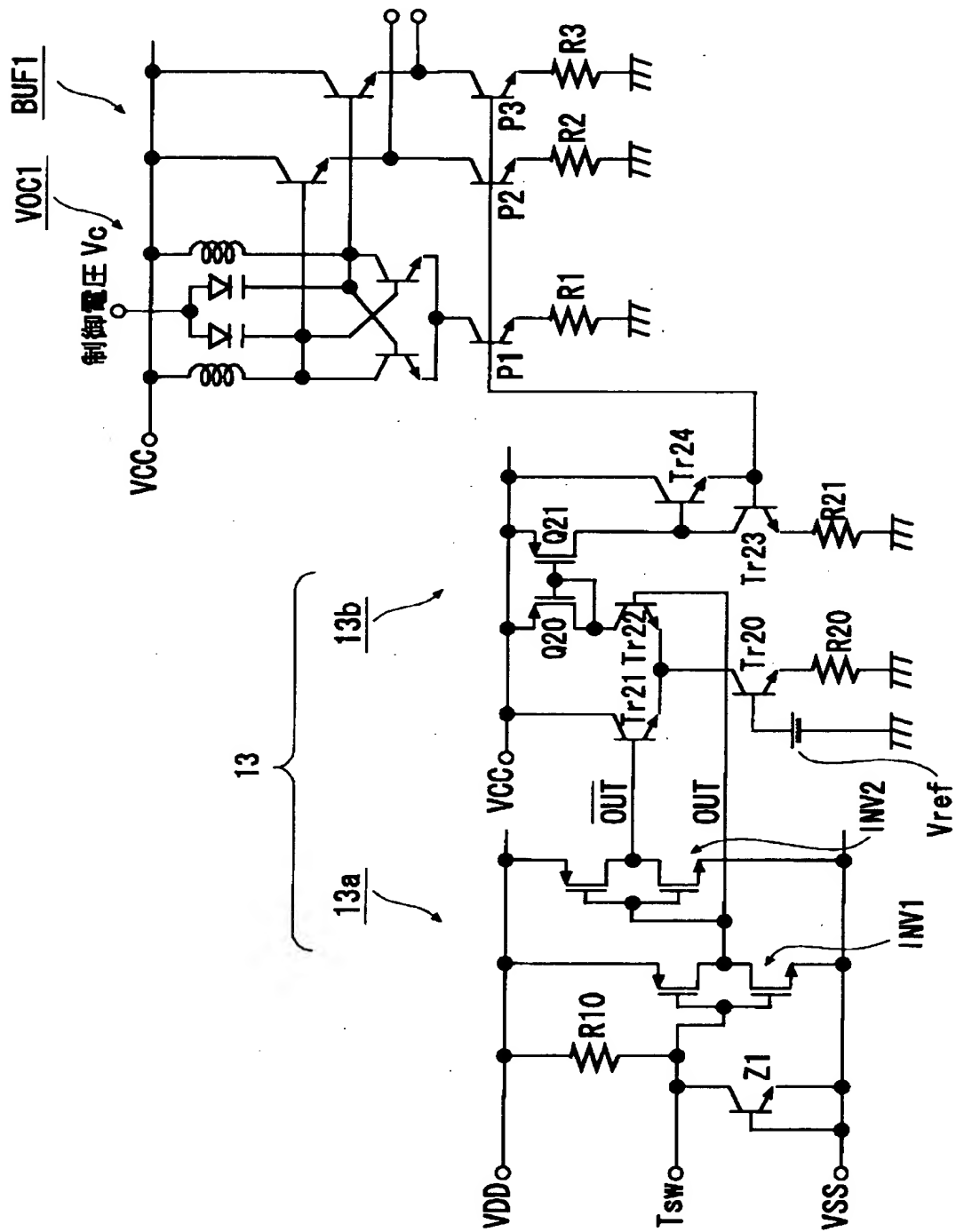
【図 7】



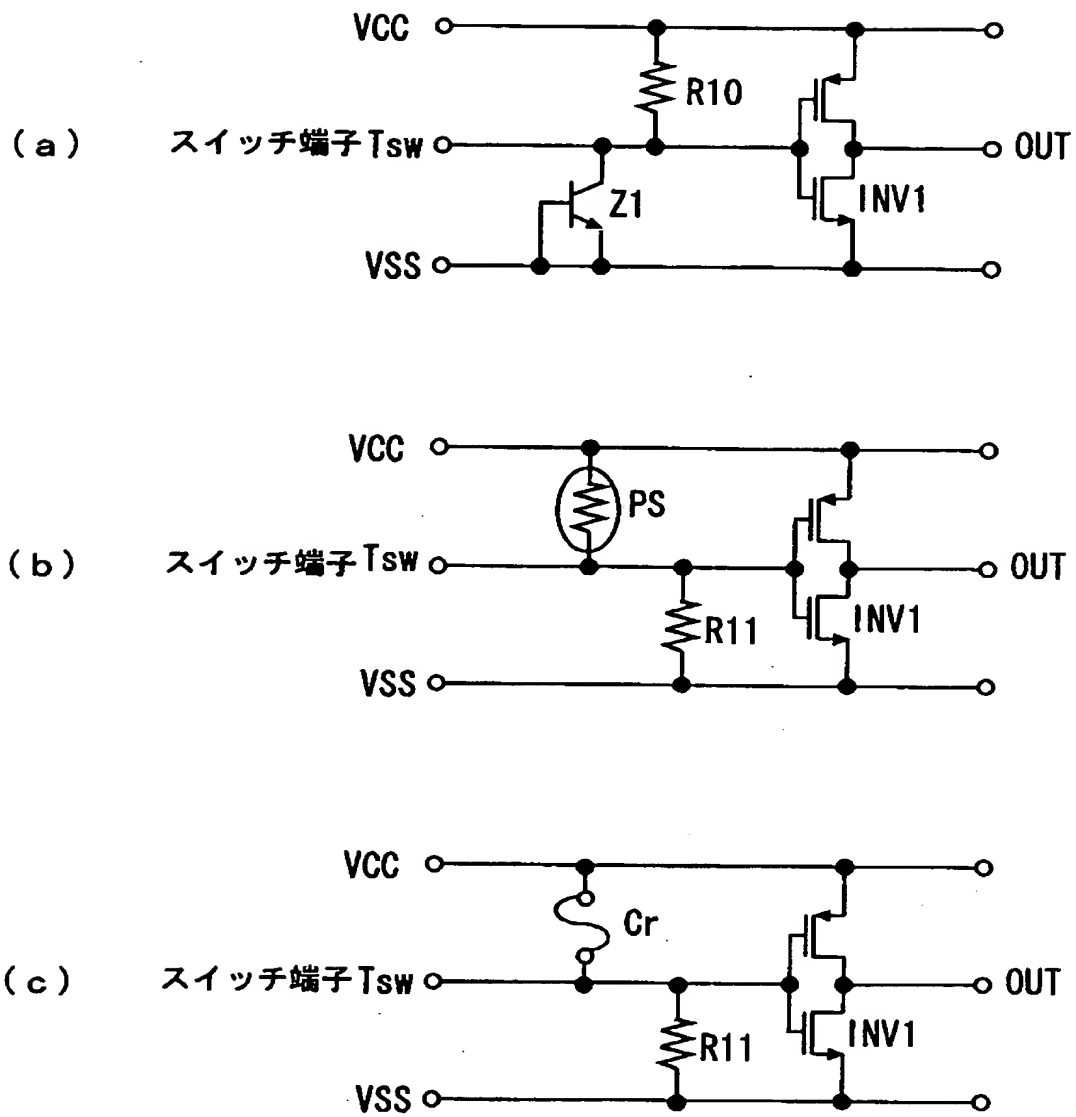
【図 8】



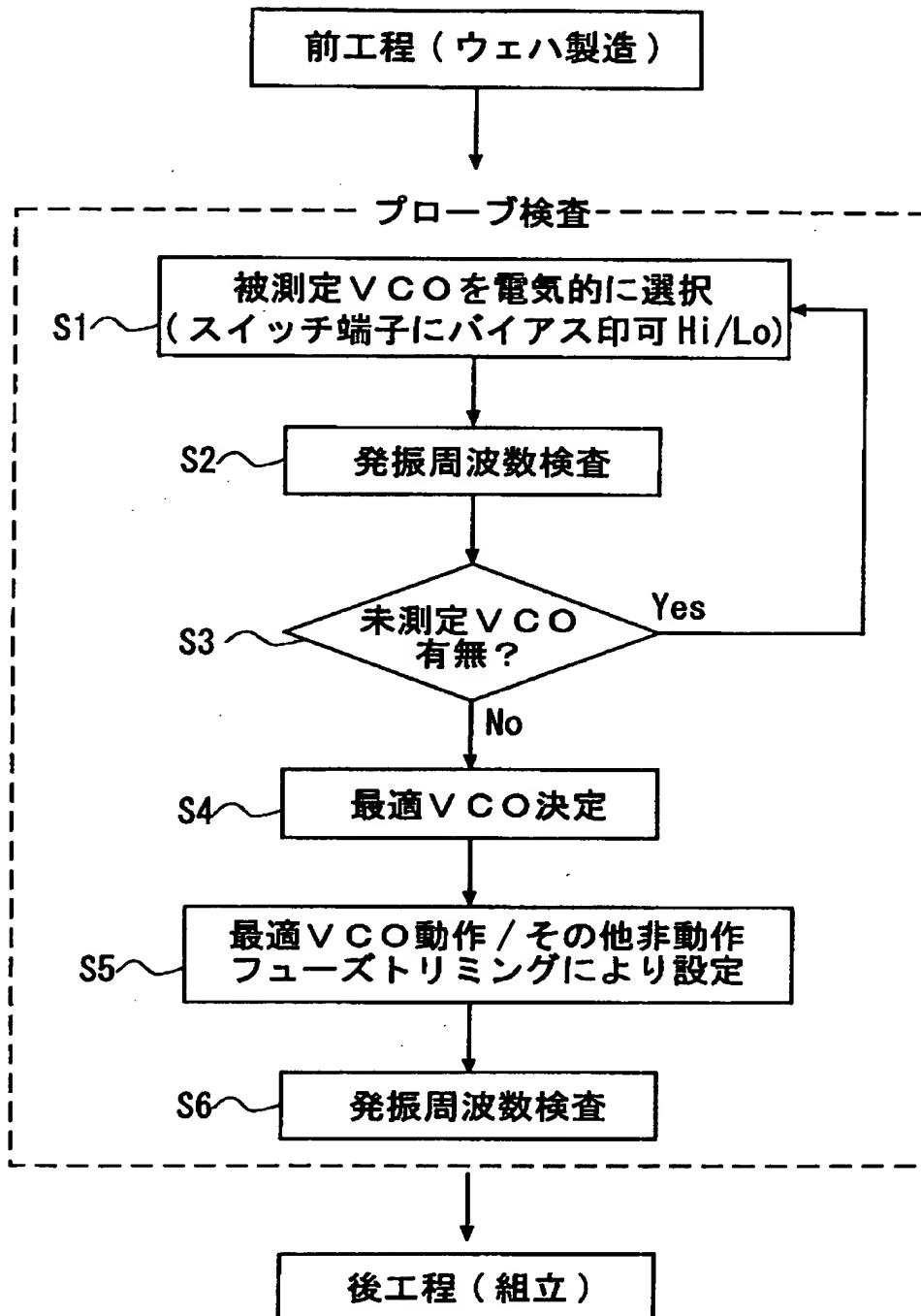
【図9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 位相雑音特性の優れた LC 共振タイプの電圧制御発振器を使用し、且つ、所望の周波数可変範囲を有する PLL 回路を搭載した半導体集積回路を、高歩留まりで製造可能にする。

【解決手段】 印加された制御電圧に応じた発振周波数で発振動作する LC 共振型の電圧制御発振器と、該電圧制御発振器の発振出力信号  $\phi_b$  の位相と参照クロック  $\phi_r$  の位相とを位相比較する位相比較器 PHC と、位相比較器 PHC の出力に基づいて位相差に応じた電圧を出力するループフィルタ LPF とを有する PLL 回路 10 を搭載した半導体集積回路において、周波数可変範囲の中心周波数がそれぞれ異なる複数の電圧制御発振器 VCO1, VCO2... と、これらの複数の電圧制御発振器 VCO1, VCO2... の中から 1 個を選択する選択手段 12, 13 とを備えて構成する。

【選択図】 図 2



認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 0 - 1 9 7 9 2 2
受付番号	5 0 0 0 0 8 2 2 9 2 9
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 2 年 7 月 3 日

< 認定情報・付加情報 >

【提出日】 平成12年 6月30日

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所